

|  |
| --- |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **"МИРЭА** - **Российский технологический университет"**  **РТУ МИРЭА** |

**Институт** Информационных Технологий

**Кафедра** Вычислительной Техники

**Практическая работа №2**

**по дисциплине**

**«Архитектура ВМиС»**

Студент группы: **ИКБО-11-22** \_\_\_**Гришин А. В.**\_\_\_ *(Фамилия студента)*

Преподаватель \_\_\_Рыжова А.А.\_\_\_

*(Фамилия преподавателя)*

Москва 2023

**Оглавление**

[**Постановка задачи** 3](#_Toc151405509)

[**Теоретическое введение** 3](#_Toc151405510)

[**Схема и таблица истинности** 3](#_Toc151405511)

[**Код и диаграмма** 4](#_Toc151405512)

[**Вывод** 5](#_Toc151405513)

# **Постановка задачи**

Спроектировать логическую схему при помощи графического редактора САПР QUARTUS II. Исследовать работу схемы с использованием сигнального редактора САПР QUARTUS II.

# **Теоретическое введение**

Дешифратор - это комбинационная схема, имеющая 𝑛 адресных входов и 2n выходов, обычно без информационного входа, но с присутствием разрешающего сигнала. Его функция заключается в преобразовании уникальной комбинации сигналов на адресных входах в активный сигнал только на одном из выходов в соответствии с поданными на вход адресами, и это происходит под контролем разрешающего входа. Разрешающий вход определяет, разрешено ли действие дешифратора или нет, тем самым контролируя активность выходных сигналов.

# **Схема и таблица истинности**

Таблица - 1. Дешифратор DC 2x4.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **E** | **D0** | **D1** | **D2** | **D3** |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

Схема DC 2x4.

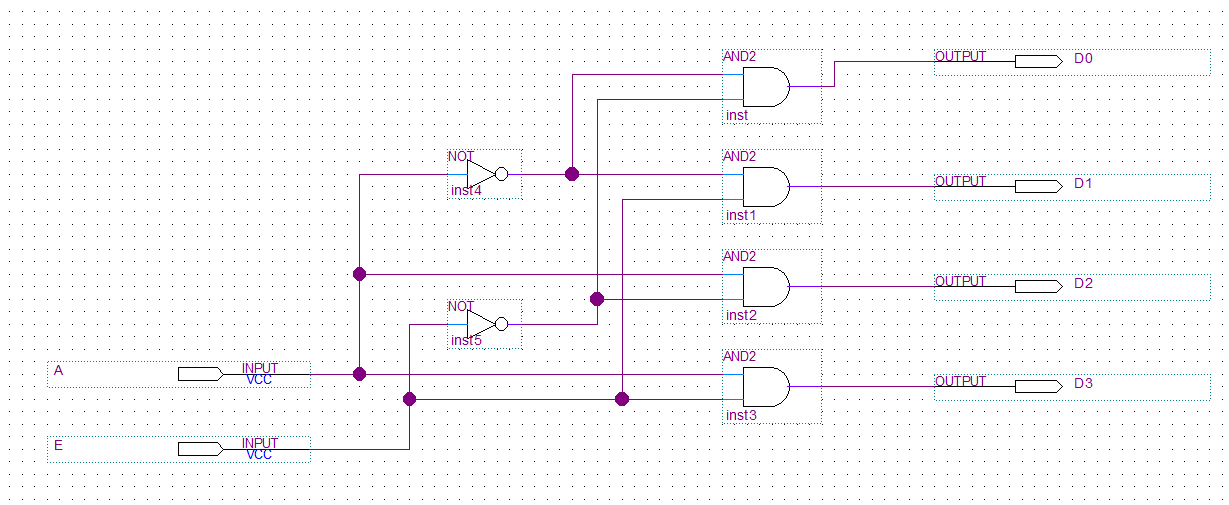


Рисунок 1 – схема DC 2x4.

Временная диаграмма.

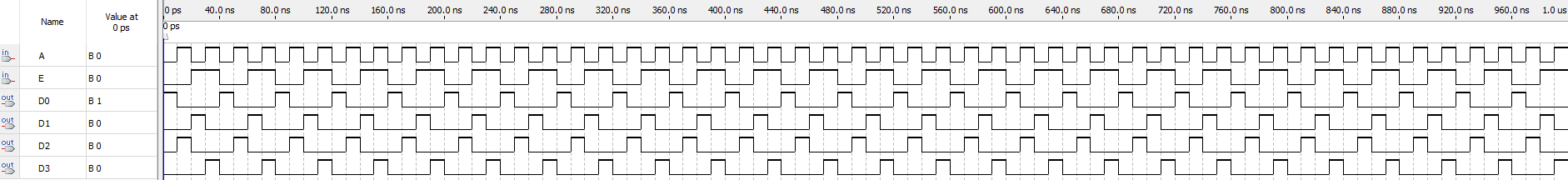


Рисунок 2 – временная диаграмма

# **Код и диаграмма**

На языке AHDL составить DC 2x4.

Код программы:

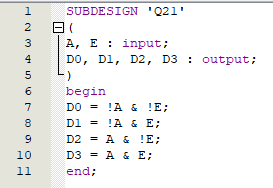


Рисунок 3 – код программы

Временная диаграмма.

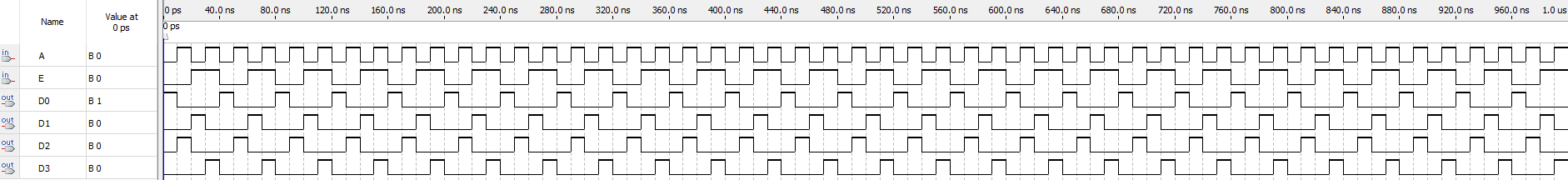


Рисунок 4 – временная диаграмма

Таблица – 2. Результат диаграммы.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **E** | **D0** | **D1** | **D2** | **D3** |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

# **Вывод**

По итогу проделанной работы мы можем сделать вывод, что таблицы истинности, составленные по диаграммам из логической схемы и кода, полностью совпадают, следовательно, можем отметить, что задание выполнено верно.